

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 1 月 2 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 3 9 9 3 7 3  
[ST. 10/C]: [ J P 2 0 0 3 - 3 9 9 3 7 3 ]

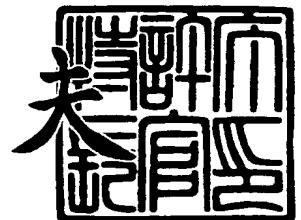
出 願 人  
Applicant(s): 沖電気工業株式会社



2 0 0 4 年 1 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 OH003879  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 23/12  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会社内  
    【氏名】 山口 忠士  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【代理人】  
    【識別番号】 100085419  
    【弁理士】  
    【氏名又は名称】 大垣 孝  
【手数料の表示】  
    【予納台帳番号】 012715  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9001068

**【書類名】 特許請求の範囲****【請求項 1】**

チップ搭載面を有する搭載基板を準備する工程と、  
互いに平行な複数の目標線を前記チップ搭載面に形成する工程と、  
前記目標線間の間隔よりも短い辺を有し、電極パッドが形成された第 1 の主表面と該第 1 の主表面と対向する第 2 の主表面とを有する複数の半導体チップを準備する工程と、  
前記チップ搭載面上の前記目標線間に、前記第 2 の主表面が対面するよう複数の前記半導体チップを前記チップ搭載面上に搭載する工程であって、隣り合う 2 本の目標線の一方の目標線に沿って互いに離間させて搭載する工程と、  
前記チップ搭載面上に、複数の前記半導体チップを覆うように封止層を形成する工程と、  
前記電極パッドと電氣的に接続されるとともに、前記封止層の表面領域のうち前記半導体チップ上方に位置する第 1 の領域上から前記半導体チップ間に位置する第 2 の領域上にわたって延在する配線パターンを形成する工程と、  
前記第 2 の領域上に位置する前記配線パターンの表面上に、外部端子を形成する工程と、  
前記第 2 の領域において前記封止層及び前記搭載基板を切断する工程と  
を含むことを特徴とする半導体装置の製造方法。

**【請求項 2】**

請求項 1 に記載の半導体装置の製造方法において、  
前記半導体チップを前記チップ搭載面上に搭載する工程では、複数の前記半導体チップを、該半導体チップの辺を前記一方の目標線に合わせて搭載することを特徴とする半導体装置の製造方法。

**【請求項 3】**

請求項 1 に記載の半導体装置の製造方法において、  
前記半導体チップを前記チップ搭載面上に搭載する工程では、複数の前記半導体チップを、該半導体チップの辺を前記一方の目標線から所定の距離だけ離して搭載することを特徴とする半導体装置の製造方法。

**【請求項 4】**

請求項 1 ないし 3 のいずれか一項に記載の半導体装置の製造方法において、  
前記目標線は互いに平行な第 1 の目標線と、該第 1 の目標線に直角に交差する第 2 の目標線で構成され、  
前記半導体チップを前記チップ搭載面上に搭載する工程における前記一方の目標線は、前記第 1 の目標線もしくは前記第 2 の目標線のいずれか一方であることを特徴する半導体装置の製造方法。

**【請求項 5】**

請求項 4 に記載の半導体装置の製造方法において、  
前記半導体チップを前記チップ搭載面上に搭載する工程では、前記半導体チップの角部を、前記第 1 及び第 2 の目標線が交差することによって形成される前記チップ搭載面の角部に合わせて搭載することを特徴とする半導体装置の製造方法。

**【請求項 6】**

請求項 4 に記載の半導体装置の製造方法において、  
前記半導体チップを前記チップ搭載面上に搭載する工程では、前記半導体チップを、前記第 1 及び第 2 の目標線それぞれに対して平行にずらして搭載することを特徴とする半導体装置の製造方法。

**【請求項 7】**

請求項 1 ないし 6 のいずれか一項に記載の半導体装置の製造方法において、  
前記目標線は、前記チップ搭載面に形成された溝であることを特徴とする半導体装置の製造方法。

**【請求項 8】**

請求項 1 ないし 6 のいずれか一項に記載の半導体装置の製造方法において、  
前記目標線は、前記チップ搭載面から突出した突出部であることを特徴とする半導体装置の製造方法。

【請求項 9】

電極パッドが形成された第 1 の主表面と、該第 1 の主表面と対向する第 2 の主表面とを有する半導体チップと、

前記第 2 の主表面の面積よりも広い面積を有するとともに前記第 2 の主表面と対面するチップ搭載面を有し、前記半導体チップを搭載する搭載基板と、

前記チップ搭載面上に、前記半導体チップを覆うように形成された封止層と、

前記電極パッドと電気的に接続されるとともに、前記封止層の表面領域のうち前記半導体チップの上方に位置する第 1 の領域上から該第 1 の領域を囲む第 2 の領域上にわたって延在する配線パターンと、

前記第 2 の領域上に位置する前記配線パターンの表面上に配置された外部端子とを有し、

前記搭載基板のチップ搭載面には、前記搭載基板の対向する一对の側面間に延在する溝部が形成されており、該溝部には前記封止層が形成されていることを特徴とする半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置において、

前記半導体チップは、前記溝部に沿って前記搭載基板上に搭載されていることを特徴とする半導体装置。

【請求項 11】

請求項 9 に記載の半導体装置において、

前記半導体チップは、前記溝部に合わせて前記搭載基板上に搭載されていることを特徴とする半導体装置。

【請求項 12】

請求項 9 に記載の半導体装置において、

前記半導体チップは、前記溝部から所定の距離離間して前記搭載基板上に搭載されていることを特徴とする半導体装置。

【請求項 13】

請求項 9 に記載の半導体装置において、

前記搭載基板及び前記封止層の側面は切断された切断面であることを特徴とする半導体装置。

【請求項 14】

請求項 9 ないし 13 のいずれか一項に記載の半導体装置において、

前記溝部は、前記搭載基板の対向する一对の側面間に延在する第 1 の溝部と、前記搭載基板の対向する他の一对の側面間に延在する第 2 の溝部で構成されていることを特徴とする半導体装置。

【請求項 15】

請求項 14 に記載の半導体装置において、

前記半導体チップの角部は、前記第 1 及び第 2 の溝部が交差することによって形成される前記チップ搭載面の角部に合わせて搭載されていることを特徴とする半導体装置。

【請求項 16】

請求項 14 に記載の半導体装置において、

前記半導体チップは、前記第 1 及び第 2 の溝部のそれぞれに対して平行にずらして搭載されていることを特徴とする半導体装置。

【請求項 17】

電極パッドが形成された第 1 の主表面と、該第 1 の主表面と対向する第 2 の主表面とを有する半導体チップと、

前記第 2 の主表面の面積よりも広い面積を有するとともに、前記第 2 の主表面と対面す

るチップ搭載面を有し、前記半導体チップを搭載する搭載基板と、

前記チップ搭載面上に、前記半導体チップを覆うように形成された封止層と、

前記電極パッドと電氣的に接続されるとともに、前記封止層の表面領域のうち前記半導体チップの上方に位置する第 1 の領域上から該第 1 の領域を囲む第 2 の領域上にわたって延在する配線パターンと、

前記第 2 の領域上に位置する前記配線パターンの表面上に配置された外部端子とを有し、

前記搭載基板のチップ搭載面には、前記搭載基板の対向する一対の側面間に延在する突出部が形成されており、該突出部は前記封止層で覆われていることを特徴とする半導体装置。

## 【書類名】明細書

【発明の名称】半導体装置及びその製造方法

## 【技術分野】

【0001】

この発明は、ファンアウト構造を有する半導体装置及びその製造方法に関する。

## 【背景技術】

【0002】

近年、携帯機器等の電子器機に搭載される半導体装置の外形サイズ（パッケージサイズ）の小型化及び薄型化に対する要求が高まっている。これに伴い、半導体チップの外形サイズとほぼ同じ外形サイズにパッケージングが施された半導体装置であるCSP（Chip Size Package）が提案されている。

【0003】

現在、製造コストの低減を図る点から、ウェハ状態で外部端子形成工程までを完了させた後、ダイシング等によって個片化して得られる、WCSP（Wafer level Chip Size Package）が、CSPの一つの形態として注目されている（例えば、特許文献1参照）。

【0004】

また、近年の電子機器の更なる小型化や、製造コストの低減化を目的としたウェハ1枚当たりのチップ収集数の向上等の要求に対して、半導体チップの更なる小型化が求められている。

【0005】

しかしながら、上記WCSPは、外部端子が配置される実装面の面積が半導体チップの面積と同一な構成であるため、上記WCSPは、半導体チップ表面の周縁に形成された電極パッドよりも内側に外部端子が配置されたファンイン構造であった。

【0006】

このようなファンイン構造のWCSPでは、実装面上に配置できる外部端子数が限られてしまう。そのため、ある一定の外部端子数を維持したまま、半導体チップの更なる小型化を図るためには、外部端子間の間隔、すなわち配列ピッチを狭める必要があった。

【0007】

その結果、半導体チップ上の電極パッドから配列ピッチの狭い外部端子への配線の引き回しが複雑となるため、製品歩留まりの低下等が懸念されていた。

【0008】

そこで、外部端子が配置される実装面の面積を半導体チップ表面の面積よりも広くし、半導体チップ表面の周縁に形成されていた電極パッドよりも外側に外部端子が配置された、ファンアウト構造のWCSPが提案されている（例えば、特許文献2参照）。

【0009】

ところが、これまでのWCSPにおける樹脂封止工程後の配線形成では、当該配線を所望の位置に精度良く形成することが困難であった。なぜなら、当該配線をパターニングするためのマスクパターンの位置と複数の半導体チップの位置との配置関係を、設計値通りに精度良く制御することが困難なためである。

【0010】

ところで、一对の半導体素子の重ね合わせる際の位置合わせ精度を確保するために、各半導体素子の対向する面に位置合わせ用の溝が設けられた構成がある（例えば、特許文献3参照）。

【特許文献1】特開2000-260733号公報

【特許文献2】特開2003-258157号公報

【特許文献3】特開2000-243901号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

【0011】

そのため、従来より、WCSPにおいて配線を所望の位置に精度良く形成するに当たり、樹脂封止工程前に、複数の半導体チップを設計上の所望位置に精度良く搭載させる技術が求められている。しかしながら、上記特許文献2では、そのような技術について具体的な提案なされていない。

#### 【0012】

一方、上記特許文献3は、半導体素子同士を重ね合わせる際の位置合わせ用の溝を開示しているが、そもそも重ね合わせられた複数の半導体素子を個片化することによって、1つの半導体装置（パッケージ）を形成するという技術ではない。従って、後に実行される配線形成工程及び個片化工程を考慮して、樹脂封止工程前における複数の複数の半導体チップ間の距離（間隔）を精度良く設計値通りに保つための技術に適用できるものではない。

#### 【0013】

そこで、この発明の主たる目的は、外部端子間の間隔（ピッチ）を緩和させることができる高信頼性なファンアウト構造を有する半導体装置及びその製造方法を提供することにある。

#### 【課題を解決するための手段】

#### 【0014】

この目的の達成を図るため、この発明の半導体装置の製造方法によれば、下記のような構成上の特徴を有する。

#### 【0015】

すなわち、この発明の半導体装置の製造方法は、チップ搭載面を有する搭載基板を準備する工程と、互いに平行な複数の目標線をチップ搭載面に形成する工程と、目標線間の間隔よりも短い辺を有し、電極パッドが形成された第1の主表面と当該第1の主表面と対向する第2の主表面とを有する複数の半導体チップを準備する工程と、チップ搭載面上の目標線間に、第2の主表面が対面するよう複数の半導体チップをチップ搭載面上に搭載する工程であって、隣り合う2本の目標線の一方の目標線に沿って互いに離間させて搭載する工程と、チップ搭載面上に、複数の半導体チップを覆うように封止層を形成する工程と、電極パッドと電氣的に接続されるとともに、封止層の表面領域のうち半導体チップ上方に位置する第1の領域上から半導体チップ間に位置する第2の領域上にわたって延在する配線パターンを形成する工程と、第2の領域上に位置する配線パターンの表面上に、外部端子を形成する工程と、第2の領域において封止層及び搭載基板を切断して半導体チップを個片化する工程とを含んでいる。

#### 【発明の効果】

#### 【0016】

この構成によれば、半導体チップの直上以外の領域に外部端子が配置された、ファンアウト構造を有する半導体装置を実現することができる。

#### 【0017】

その結果、外部端子が配置される実装面が広がるため、半導体チップの小型化に伴って外部端子間の配列ピッチが狭くなるのを緩和することができる。よって、電極パッドから外部端子へ至る配線の引き回しの困難性が緩和されるので、製品歩留まりの低下を抑制することができる。

#### 【0018】

さらに、この構成によれば、搭載基板に形成した第1の目標線（或いは、基準線とも称する。）に沿うように半導体チップを搭載することができるので、目標線を利用せずに半導体チップを搭載する場合よりも半導体チップを精度良く搭載することができる。

#### 【0019】

したがって、半導体チップを設計上の所望位置に精度良く搭載することができるので、搭載後の配線形成において当該配線を所望の位置に精度良く形成でき、よって、製品歩留まりの低下の抑制することができる。

#### 【0020】

さらに、この構成によれば、目標線として機能する溝が、封止層と半導体チップとの密着性を向上させる機能をも果たす。従って、個片化工程を経て個片化された半導体装置において、封止層が半導体チップの表面から剥離されることを防止することができる。

【発明を実施するための最良の形態】

【0021】

以下に、この発明の実施の形態につき説明する。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、従って、この発明は図示例に限定されるものではない。また、図を分かり易くするために、断面を示すハッチングは、一部分を除き省略してある。尚、以下の説明は、単なる好適例に過ぎず、また、例示した数値的条件は何らこれに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0022】

図1から図6を参照して、この発明の実施の形態に係る半導体装置およびその製造方法につき説明する。図1(A)は、この実施の形態の半導体装置の説明に供する図であって、図1(B)の一点鎖線I-Iに沿って切断して得られる切り口(断面)を示す概略図である。図1(B)は、この実施の形態の半導体装置の説明に供する図であって、その主要部を模式的に示す概略的平面図である。

【0023】

図1(A)に示す半導体装置10においては、半導体チップ14は、半導体チップを搭載する搭載基板12のチップ搭載面12aに搭載されている。この搭載面12aは、搭載基板12の一方の主表面であり、半導体チップ14の被搭載面の外形寸法よりも大きな面である。半導体チップ14は、半導体基板としてのシリコン(Si)基板に所要の回路素子(不図示)が形成されている。また、半導体チップ14は、第1の主表面14bと、この第1の主表面14bと対向する第2の主表面14cとを有している。第1の主表面14bは、電極パッド形成面であって、電極パッド21がこの第1の主表面14b上に形成されている。一方、第2の主表面14cは電極パッドが形成されていない面であって、搭載基板12に搭載される側の被搭載面である。半導体チップ14の、この第2の主表面14c側が搭載基板12のチップ搭載面12aに、ダイスボンダ剤(不図示)によって固定されている。尚、搭載基板12の材料は、好ましくは、半導体基板の材料と同じシリコンとするのが良い。その理由は、搭載基板12と半導体チップ14との間における熱膨張係数の差に起因する応力集中を緩和することができるからである。電極パッド21はアルミニウム(Al)によって形成されている。

【0024】

この構成例では、チップ搭載面12aに、第1及び第2目標線として、当該第1の主表面12aから搭載基板12の中途の深さに至る第1及び第2の溝(ここでは、第1の溝18aのみが図示されている。)が形成されており、半導体チップ14は、これら溝の縁に沿って、すなわち溝の縁を基準として当該溝の縁に並行するように搭載基板12上に搭載されている(説明後述)。また、第1及び第2の目標線は、それぞれ平行に等間隔に設けられていて、隣接する2本の第1の目標線と隣接する2本の第2の目標線とで囲まれた領域が、1つの半導体チップのチップ搭載面領域として定義されている。

【0025】

また、半導体チップ14の第1主表面14b上には、この第1の主表面14bを覆い、かつ電極パッド21の表面を露出させるように、パッシベーション膜22及び保護膜24が順次に積層されて設けられている。パッシベーション膜22は、シリコン酸化膜(SiO<sub>2</sub>)によって形成されている。保護膜24は、半導体チップ14と後述する封止層32との剥離を抑制する働きをする層であって、ポリイミド樹脂で形成されている。

【0026】

また、各電極パッド21と各半田ボール25とが、導電部30及び配線パターン(或いは、配線層とも称する。)34を経て電氣的に接続されている。

【0027】



導電部 30 は、第 1 の導電部 26 と第 2 の導電部とを具えている。第 1 の導電部 26 は、電極パッド 21 上から保護膜 24 上にわたって形成されている。第 2 の導電部 28 はポスト部とも称せられ、第 1 の導電部 26 上の所定位置で第 1 の導電部 26 と接続されていて、第 1 の主表面 14 b と直交する方向に突出している。第 1 の導電部 26 は、第 2 の導電部 28 を半導体チップ 14 の上方の所望位置に再配置させる再配線層として機能している。これら第 1 及び第 2 の導電部 (26、28) は、それぞれ銅 (Cu) によって形成されている。

#### 【0028】

上述した、半導体チップ 14、第 1 導電部 26 及び第 2 導電部 28 の各構成部材を含む搭載基板 12 の上側全面には、第 2 の導電部 28 の頂面を除き、封止層 32 が設けられている。この封止層 32 は、第 2 の導電部 28 の頂面を露出させるような厚みで、上述した構成部材を覆うように形成されている。この封止層 32 上には、配線層 34 が設けられている。

#### 【0029】

この配線層 34 は、一端部が第 2 の導電部 28 の頂面と接続されており、その他端部が、封止層 32 の表面領域のうち、半導体チップ 14 と対向する直上領域である第 1 の領域 100 の外方の第 2 の領域 200 に形成されている。このように、配線パターンである配線層 34 は、封止層 32 の表面領域のうち、半導体チップ 14 の上方に位置しかつ第 1 の主表面 14 b と対向する第 1 の領域 100 から、半導体チップ 14 の第 1 の主表面 14 b の周縁よりも外側の領域の上方に位置しかつ第 1 の領域 100 を取り囲む第 2 の領域 200 にわたって形成されている。また、封止層 32 はエポキシ樹脂によって形成されており、その上面は平坦である。

#### 【0030】

この封止層 32 上には、表面保護膜 33 が設けられている。封止層 32 を覆うこの表面保護膜 33 は、配線層 34 の一部分を露出させる開口部を封止層 32 の第 2 の領域 200 に具えている。そして、この開口部から露出される配線層 34 の表面領域上に、半田ボール 25 が設けられている。配線層 34 は、半田ボール 25 を封止層 32 の表面領域の所望位置に再配置させる再配線層として機能しており、銅によって形成されている。表面保護膜 33 は、ポリイミド樹脂によって形成されている。

#### 【0031】

このように、この構成例の半導体装置 10 は、半導体チップ 14 の直上以外の封止層 32 の表面領域部分、すなわち第 1 の主表面 14 b と対向する第 1 の領域 100 の外方の領域である第 2 の領域 200 に半田ボール 25 が配置された、ファンアウト構造を有している。

#### 【0032】

続いて、図 1 (B) を参照して、ファンアウト構造を有する半導体装置 10 における半導体チップ 14 の搭載位置について、さらに詳細に説明する。

#### 【0033】

図 1 (B) に示すように、この構成例では、矩形状の半導体チップ 14 の裏面である第 2 の主表面、すなわち被搭載面 14 c の 1 つの角部 14 a が、搭載基板 12 のチップ搭載面 12 a に形成された 1 つの角部 20 a と実質的に合致するように、すなわち重なり合うように搭載されている。尚、実質的に合致とは、半導体チップ 14 が有する角部 14 a と搭載基板に形成された角部 20 a とが完全に合致している状態はもとより、双方の角部 (14 a、20 a) が合致した場合と同様の効果を得られる程度の誤差範囲内で僅かにずれた状態を含むものとする。

#### 【0034】

ここでの角部 20 a とは、第 1 及び第 2 の目標線である第 1 及び第 2 の溝 (18 a、18 b) が互いに交差する部分であり、ここでは交差角は直角 (90°) である。

#### 【0035】

この構成例では、半導体チップ 14 が有する角部 14 a と搭載基板に形成された角部 2

0 a とが実質的に合致している状態、すなわち半導体チップ 14 における第 2 の主表面 14 c の角部 14 a を形成する二辺のそれぞれが、角部 20 a を形成する第 1 及び第 2 の溝 (18 a、18 b) の縁 (181 a、181 b) に実質的に重なっている。尚、半導体チップ 14 の搭載位置は、上述した角部 20 a に合致させる位置のみに限定されない。よって、このほかに、例えば、図 1 (B) に一点鎖線で仮想的に示すように、半導体チップ 141 を、角部 20 a を形成する第 1 及び第 2 の溝 (18 a、18 b) の縁 (181 a、181 b) からそれぞれ所定距離離間させた位置に搭載しても良い。すなわち、半導体チップを、チップ搭載面の溝外の領域中において、溝の縁と平行にシフトさせた位置に搭載しても良い。具体的には、半導体チップ 14 を、第 1 及び第 2 の溝 (18 a、18 b) の縁 (181 a、181 b) からの距離が互いに等しくなるように、或いは第 1 及び第 2 の溝 (18 a、18 b) の縁 (181 a、181 b) から互いに異なる距離となるように、平行にシフトさせた位置に搭載しても良い。

#### 【0036】

続いて、図 2 から図 6 を参照して、この半導体装置 10 の製造方法につき以下説明する。図 2 は、目標線形成工程後の搭載基板を示す概略平面図である。図 3、図 5 及び図 6 は半導体装置の製造工程の説明に供する概略断面図である。図 4 (A) は、搭載工程後の搭載基板の概略平面図を示す図 4 (B) を一点鎖線 IV-IV に沿って切断して得られる切り口を図中矢印方向から見た概略断面図である。尚、以下において搭載基板 12 を半導体ウェハとして説明する。

#### 【0037】

先ず、目標線形成工程として、搭載基板 12 のチップ搭載面 12 a に、第 1 の目標線としての第 1 の溝 18 a と、当該第 1 の溝 18 a と交差する第 2 の目標線としての第 2 の溝 18 b とを形成する。この実施の形態では、交差角は  $90^\circ$  とする。

#### 【0038】

先ず、図 2 に示すように、所定寸法の搭載基板 12 のチップ搭載面 12 a に、第 1 の溝 18 a を、隣り合う溝間の距離が  $m$  となるように縞状、すなわちストライプ状に形成する。第 1 の溝 18 a は、ダイシングブレードを用いたハーフダイシングによって、搭載基板の対向する一対の側面間に直線状に形成することができる。ここでの間隔すなわち配列ピッチ  $m$  は、半導体チップ 14 の第 1 の溝 18 a が並ぶ方向 (配列方向という。) の辺の長さよりも長く設定されている。

#### 【0039】

第 1 の溝 18 a 形成後、第 1 の溝 18 a と交差 (ここでは、直交) する、第 2 の目標線としての第 2 の溝 18 b を、隣り合う溝間の距離が  $n$  となるように縞状に形成する。第 2 の溝 18 b も、ダイシングブレードを用いたハーフダイシングによって直線状に形成することができる。ここでの間隔すなわち配列ピッチ  $n$  は、半導体チップ 14 の第 2 の溝 18 b が並ぶ方向 (配列方向) の辺の長さよりも長く設定されている。

#### 【0040】

第 1 及び第 2 の溝 (18 a、18 b) の形成は、上述したダイシングブレードによる切削方法のほかに、エッチング等の任意好適な方法を用いることができる。エッチングの場合には、例えば、水酸化カリウム (KOH) やテトラメチルアンモニウムハイドロオキシド (Tetra Methyl Ammonium Hydroxide) 等の強アルカリ性の溶液を含有するエッチャントを用いたウェットエッチングを利用することができる。

#### 【0041】

こうして、搭載基板 12 に、後工程において半導体チップ搭載用の目標線 (或いは、基準線とも称する。) として機能する、格子状の溝である第 1 及び第 2 の溝 (18 a、18 b) を形成することができる。

#### 【0042】

次に、搭載工程として、搭載基板 12 のチップ搭載面 12 a 上に半導体チップ 14 を搭載する。この構成例では、半導体チップ 14 を構成部分とする積層体 50 を、搭載基板 1

2に搭載する。そこで、搭載工程に先立ち、積層体50の形成を以下の手順で行う（半導体チップ用意工程）。

【0043】

先ず、半導体基板に対する通常の不純物拡散処理等のウェハプロセスによって回路素子が形成された半導体チップ14を複数個具えるウェハ40を用意する。

【0044】

続いて、ウェハ40の表面全面に、電極パッド21の表面を露出させるようにして、シリコン酸化膜からなるパッシベーション膜22、及びポリイミド膜からなる保護膜24を順次に形成する。尚、図中には便宜上3個の半導体チップ14が図示されているが、その数はこれに限定されるものではない（図3（A））。

【0045】

続いて、電極パッド21の表面を含め保護膜24の上側からこれらを覆うように、銅のスパッタ等によって銅膜を形成する。然る後、銅膜に対してホトリソグラフィ工程を行って第1の導電部26をチップの直上領域にパターンニング形成する。その後、第1の導電部26上の所定位置に、銅からなる第2の導電部、すなわちポスト部28を電解めっき法等によって形成する。こうして、半導体チップ14の第1の主表面14b上に、当該第1の主表面14bに直交する方向に突出した導電部30が形成される（図3（B））。

【0046】

続いて、ダイシングブレードを用いて、ウェハ40が個々の半導体チップ12に個片化され、搭載基板12上に搭載するための積層体50が完成する（図3（C））。

【0047】

次に、こうして得られた積層体50を、チップ搭載面12aの第1及び第2の溝（18a、18b）によって囲まれた領域内に1つずつ搭載していく。

【0048】

図4（A）及び（B）に示すように、この構成例では、上述した第1及び第2の溝（18a、18b）を、半導体チップを具える積層体50を所定位置に搭載するための目標線（或いは、基準線とも称する。）として利用する。

【0049】

この構成例では、各半導体チップ14を、当該半導体チップ14における第2の主表面14cの角部14aの1つが、チップ搭載面12aのうち第1及び第2の溝（18a、18b）が交差する部分に形成された1つの角部20aと実質的に合致するように搭載基板12に搭載する場合につき説明する。尚、実質的に合致とは、半導体チップ14が有する角部14aと搭載基板に形成された角部20aとが完全に合致している状態はもとより、双方の角部（14a、20a）が合致した場合と同様の効果を得られる程度の誤差範囲内で僅かにずれた状態を含むものとする。

【0050】

ここでの角部20aとは、第1の溝18aと第2の溝18bとが交差して形成されたチップ搭載領域の角の領域をいう。ここでは第1及び第2の溝（18a、18b）の縁によって囲まれたチップ搭載領域の四隅のうちの紙面左上の角部20bについて一例として説明する。

【0051】

そこで、半導体チップ14の第2の主表面（被搭載面）14cの角部14aを形成する二辺が、角部20aを形成する、目標線としての第1及び第2の溝（18a、18b）の縁にそれぞれ重なるように、半導体チップ14を搭載基板12に搭載する。このとき、半導体チップ14の第2の主表面14cと搭載基板12のチップ搭載面12aとを、例えば、ダイスボンダ剤（不図示）によって固定する。

【0052】

第1及び第2の溝（18a、18b）を利用した半導体チップ14の搭載位置の設定は、例えば、公知の一般的な画像認識処理を用いて行うことができる。この場合には、例えば、カメラによって取得された搭載基板の画像情報の中から溝に関する情報を抽出し、当

該溝に関する情報に基づいて半導体チップの搭載位置を設定することができる。

#### 【0053】

こうした目標線を利用せずに半導体チップの搭載位置を設定する方法として、例えば、搭載基板12の外周に形成された直線状の切り欠き部（オリフラ）や楔状の切り欠き（ノッチ）を用いた一般的な位置合わせ方法がある。しかし、オリフラやノッチの位置を基準とするこのような位置合わせ方法では、微細加工に要求される高い位置合わせ精度を得るのは困難である。なぜなら、オリフラやノッチを利用する位置合わせは、当該オリフラやノッチの位置のみを基準とする画像認識等によって行われるため、特に、オリフラやノッチから離れた位置での位置合わせにおいて誤差が生じやすい。

#### 【0054】

一方、この構成例のように、搭載基板12に形成された目標線である溝（18a、18b）を、画像認識する際の位置合わせの基準線として利用することにより、半導体チップが搭載されるべき位置を正確に把握することができるため、信頼性の高い位置合わせを行うことができる。よって、半導体チップの位置合わせ精度が増大するため、半導体チップ14を搭載基板12上に精度良く搭載することができる。

#### 【0055】

その結果、半導体チップを設計上の所望位置に精度良く搭載できるので、樹脂封止工程後の配線形成においてマスクパターンを所望位置に配置することができる。よって、配線を設計値通りの所望位置に精度良く形成することが可能となる。

#### 【0056】

さらに、第1及び第2の溝（18a、18b）のそれぞれの間隔（m、n）が、半導体チップ14の各辺の長さよりも長いことから、隣り合うチップ間隔の均一化が図られる。

#### 【0057】

その結果、後述する個片化工程を経て切り出される半導体装置の外形寸法の均一化を確実に実現することができるので、製品歩留まりの低下を期待できる。

#### 【0058】

尚、この構成例では、半導体チップの角部14aを、第1及び第2の溝（18a、18b）によって形成された1つの角部20aに合致するように、半導体チップ14を搭載基板12に搭載する構成であるがこれに限定されるものではない。

#### 【0059】

よって、例えば、既に説明したように、例えば、半導体チップ14の角部14aを形成する二辺を、角部20aを形成する第1及び第2の溝（18a、18b）の縁（181a、181b）から所定距離離間させた位置にずらして、半導体チップ14を搭載しても良い（図1（B）参照）。すなわち、半導体チップ14を、第1及び第2の縁（18a、18b）からの距離が互いに等しくなるように、或いは第1及び第2の縁（18a、18b）からの互いに異なる距離となるように、平行にシフトさせた位置に搭載することができる。

#### 【0060】

次に、封止層形成工程として、チップ搭載面12aの上側から、スピン塗布等によりエポキシ樹脂を塗布して、半導体チップを覆いかつ導電部30の第2の導電部28が隠れる程度の厚みで、封止層32を形成する（図5（A））。このとき、各溝（18a、18b）内にも封止材が充填されるため封止層32と搭載基板12との接触面積が増大する。その結果、封止層が密着性の高いアンカー的な機能を果たすことになり、従って、後述する個片化工程を経て切り出される半導体装置の信頼性の向上を期待できる。ここで信頼性とは、例えば、封止層32が半導体チップ14の表面から剥離され難いことを意味する。尚、第1及び第2の溝（18a、18b）は、半導体装置を製造する過程において、半導体チップ14を搭載するための目標線として利用される。しかしながら、第1及び第2の溝（18a、18b）は、個片化された半導体装置の信頼性を向上させる機能を果たすため、本発明は、製造方法のみならず最終構造である半導体装置としての特徴も有する。

#### 【0061】

次に、配線層形成工程として、電極パッド 21 と電氣的に接続される配線パターンである配線層 34 を形成する。

#### 【0062】

そのため、先ず、グラインダーによって封止層 32 に対する研磨を行い、すべての第 2 の導電部 28 の頂面を露出させる。その後、露出した第 2 の導電部 28 の頂面を覆うように封止層 32 の上側全面に、銅膜をスパッタ等によって形成した後、銅膜に対しホトリソグラフィ工程を行って配線層 34 をパターンニング形成する。このとき、配線層 34 を、封止層の表面領域のうち、半導体チップ 14 の第 1 の主表面 14b と対向する第 1 の領域 100 から半導体チップ 14 間に位置する第 2 の領域 200 にわたって形成する（図 5（B））。ここで、第 1 の領域 100 とは、封止層 32 の表面領域のうち、半導体チップ 14 の直上にある表面領域部分である。また、第 2 の領域とは、封止層 32 の表面領域のうち、半導体チップ 14 の第 1 の主表面 14b の周縁よりも外側の領域の上方に位置しかつ第 1 の領域 100 を取り囲む表面領域部分である。

#### 【0063】

次に、外部端子形成工程として、第 2 の領域 200 にある配線層 34 の表面領域部分上に外部端子を形成する。

#### 【0064】

そのため、先ず、封止層 32 の表面全面に配線層 34 を覆うようにしてポリイミド樹脂等の層を形成した後、この層に対しホトリソグラフィ法によって、配線層 34 の表面を露出させる開口部 45 を形成する。この開口部 45 が形成されたポリイミド樹脂等の絶縁層が表面保護膜 33 を形成する（図 5（C））。この表面保護膜 33 に形成されている開口部 45 は、半導体チップ 14 の第 2 の領域 200 に位置している。

#### 【0065】

その後、開口部 45 から露出する配線層 34 上に、外部端子としての半田ボール 25 をリフロー形成する（図 6）。尚、必要に応じて、配線層 34 と半田ボール 25 との間にバリアメタル層等を形成しても良い。

#### 【0066】

その後、個片化工程として、ダイシングブレードによって、隣り合う半導体チップ 14 に接続された各々の半田ボール間を切断して、各半導体装置であるパッケージ 10 に切り出す（図 1（A）参照）。このように、ウェハ状態のまま外部端子形成工程までを完了させた後、ダイシングブレードを用いて個片化することにより、封止層 32 及び搭載基板 12 の側面は当該ダイシングブレードによる切断面となっている。

#### 【0067】

上述した説明から明らかなように、この実施の形態半導体装置とその製造方法によれば、半導体チップ 14 の直上以外の領域、すなわち半導体チップ 14 の第 1 の主表面 14b の周縁よりも外側の領域の上方に位置する第 2 の領域 200 に半田ボール 25 が配置された、ファンアウト構造を実現することができる。

#### 【0068】

その結果、外部端子である半田ボールが配置される実装面を半導体チップ表面の面積よりも拡張することができるため、半導体チップの小型化に伴って外部端子間の配列ピッチが狭くなるのを緩和することができる。よって、電極パッドから外部端子へ至る配線の引き回しの困難性が緩和されるので、製品歩留まりの低下の抑制することができる。

#### 【0069】

さらに、この実施の形態によれば、搭載基板に形成した目標線に沿うように半導体チップを搭載することができるので、目標線を利用せずに半導体チップを搭載する場合よりも半導体チップを精度良く搭載することができる。

#### 【0070】

したがって、半導体チップを設計上の所望位置に精度良く搭載することができるので、搭載後の配線形成において当該配線を所望の位置に精度良く形成でき、よって、製品歩留まりの低下の抑制することができる。

**【0071】**

さらに、この実施の形態によれば、目標線として機能する溝が、封止層と半導体チップとの密着性を向上させる機能をも果たす。従って、個片化工程を経て個片化された半導体装置において、封止層が半導体チップの表面から剥離されることを防止することができる。

**【0072】**

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

**【0073】**

例えば、上述した実施の形態では、目標線を溝とした場合について説明したが、突条であっても良い。この場合には、突条を印刷法等の任意好適な方法を適用して形成することができる。

**【0074】**

また、上述した実施の形態では、ファンアウト構造のみを有する半導体装置について説明したが、目的や設計に応じてファンイン／ファンアウト構造を有する場合であっても良い。ファンイン／ファンアウト構造とは、外部端子が半導体チップ表面の直上領域にも配置される構造である。

**【図面の簡単な説明】****【0075】**

【図1】 (A) は、この発明の実施の形態の半導体装置を示す概略断面図であり、(B) は、この発明の実施の形態の半導体装置を示す概略平面図である。

【図2】 この発明の実施の形態の半導体装置の製造工程の説明に供する概略平面図（その1）である。

【図3】 (A) ～ (C) は、この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その2）である。

【図4】 (A) 及び (B) は、この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図及び概略平面図（その3）である。

【図5】 (A) ～ (C) は、この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その4）である。

【図6】 この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その5）である。

**【符号の説明】****【0076】**

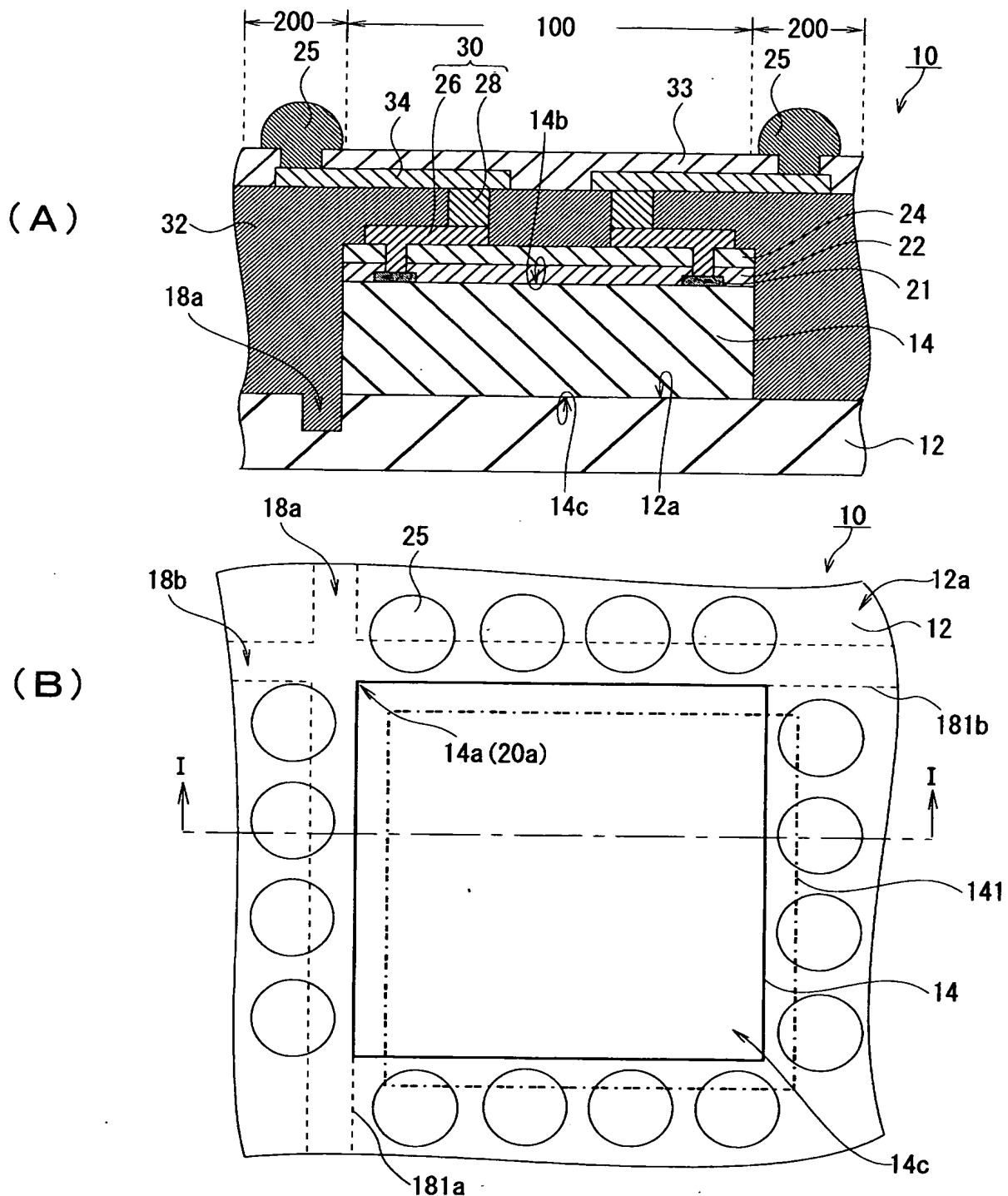
- 10：半導体装置
- 12：搭載基板
- 12a：搭載基板のチップ搭載面
- 14、141：半導体チップ
- 14a：半導体チップの第2の主表面の角部
- 14b：半導体チップの第1の主表面
- 14c：半導体チップの第2の主表面
- 18a：第1の溝（第1の目標線）
- 18b：第2の溝（第2の目標線）
- 20a：搭載基板のチップ搭載面の角部
- 21：電極パッド
- 22：パッシベーション膜
- 24：保護膜
- 25：半田ボール（外部端子）
- 26：第1の導電部
- 28：第2の導電部（ポスト部）
- 30：導電部

3 2 : 封止層  
 3 3 : 表面保護膜  
 3 4 : 配線層  
 4 0 : ウェハ  
 4 5 : 開口部  
 5 0 : 積層体  
 1 0 0 : 第 1 の領域  
 2 0 0 : 第 2 の領域  
 1 8 1 a : 第 1 の溝の縁  
 1 8 1 b : 第 2 の溝の縁

【書類名】 図面



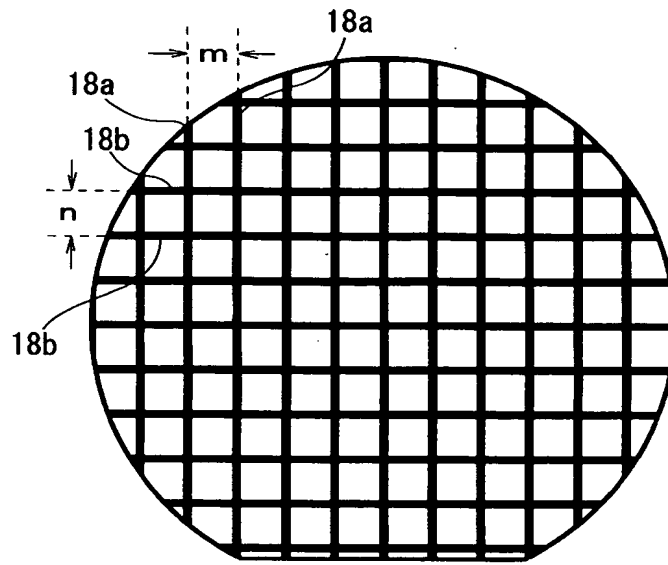
【図1】



- 10: 半導体装置      12: 搭載基板      12a: 搭載基板のチップ搭載面  
 14, 141: 半導体チップ      14a: 半導体チップの第2の主表面の角部  
 14b: 半導体チップの第1の主表面      14c: 半導体チップの第2の主表面  
 18a: 第1の溝 (第1の目標線)      18b: 第2の溝 (第2の目標線)  
 20a: 搭載基板のチップ搭載面の角部      21: 電極パッド      22: パッシベーション膜  
 24: 保護膜      25: 半田ボール (外部端子)      26: 第1の導電部      28: 第2の導電部  
 30: 導電部      32: 封止層      33: 表面保護膜      34: 配線層      100: 第1の領域  
 200: 第2の領域      181a: 第1の溝の縁      181b: 第2の溝の縁

この発明の実施の形態の半導体装置

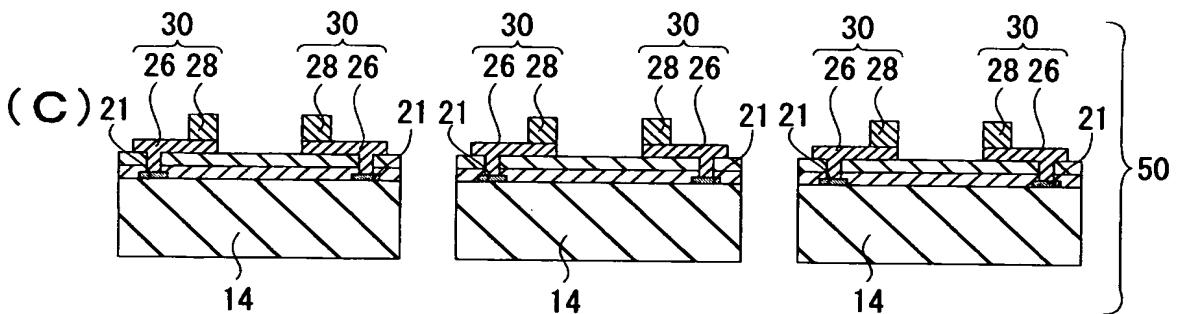
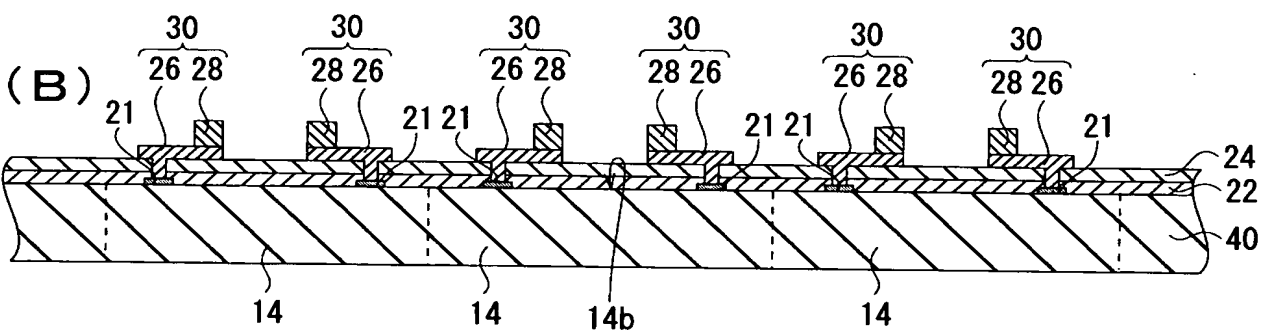
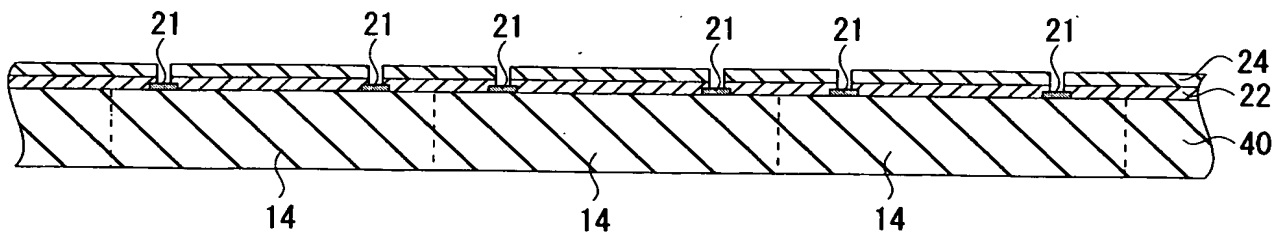
【図 2】



この発明の実施の形態の半導体装置の製造工程図（その1）

【図 3】

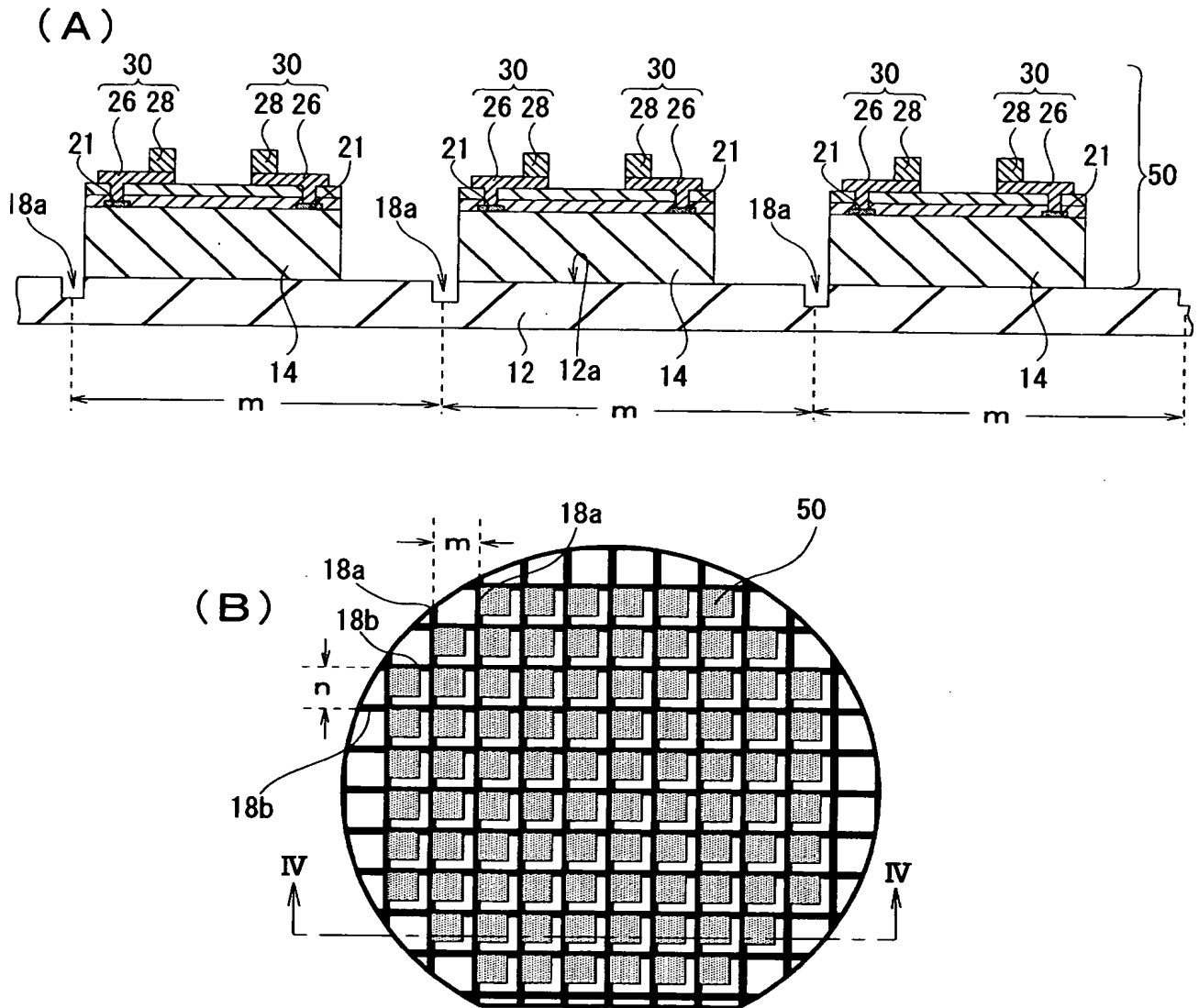
(A)



40: ウェハ 50: 積層体

この発明の実施の形態の半導体装置の製造工程図 (その2)

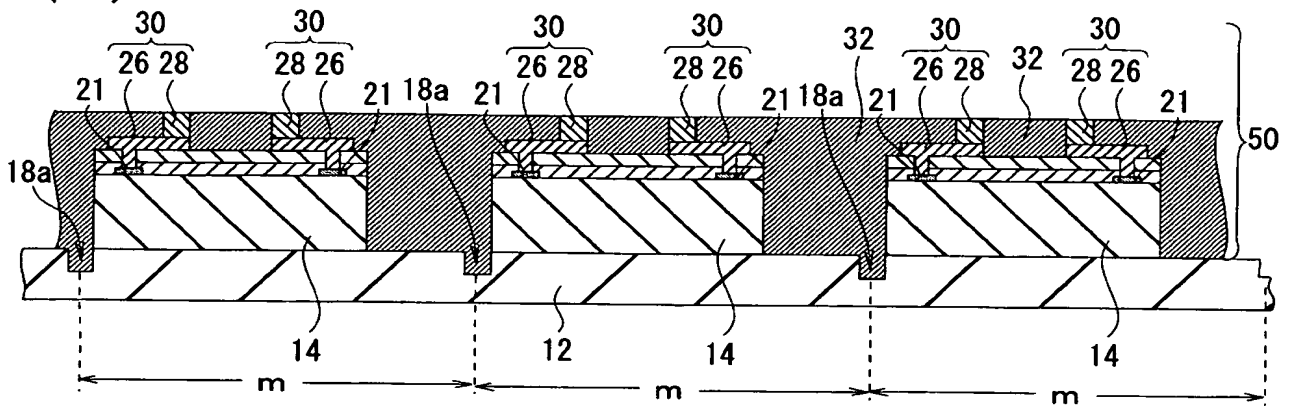
【図 4】



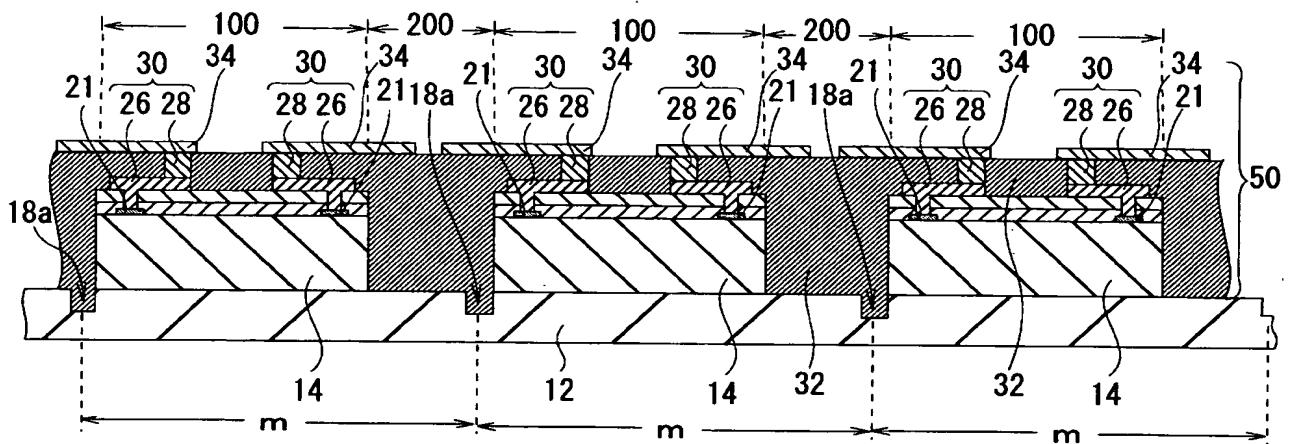
この発明の実施の形態の半導体装置の製造工程図（その3）

【図 5】

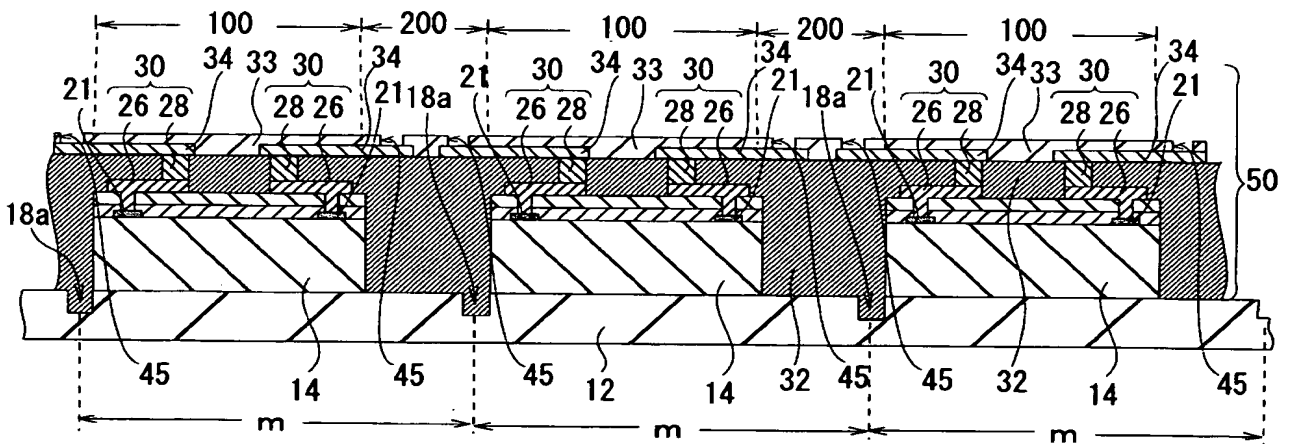
(A)



(B)



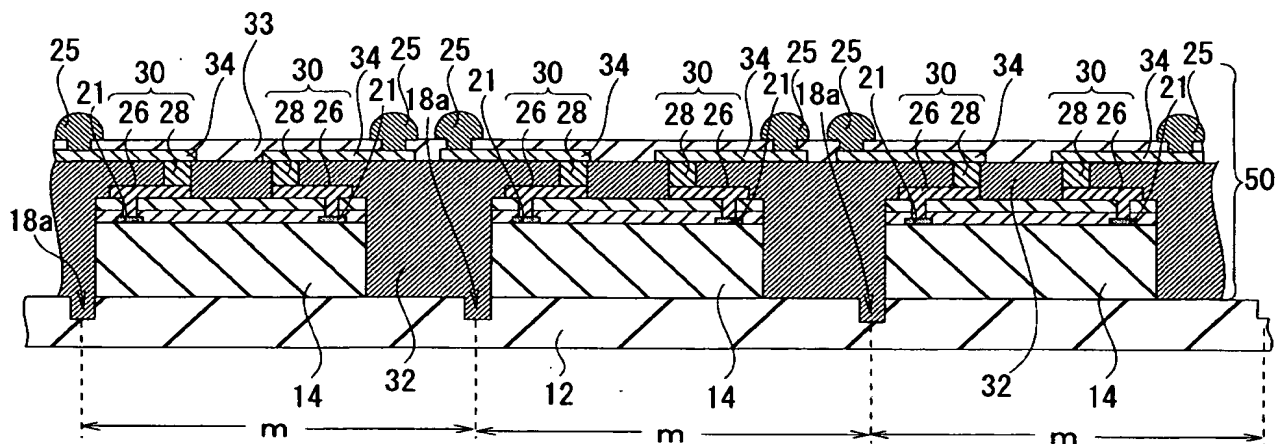
(C)



45: 開口部

この発明の実施の形態の半導体装置の製造工程図 (その4)

【図 6】



この発明の実施の形態の半導体装置の製造工程図（その5）

**【書類名】 要約書****【要約】**

**【課題】** 外部端子間の配列ピッチの緩和ならびに高信頼性の向上を図る。

**【解決手段】** 電極パッド 2 1 が形成された第 1 の主表面 1 4 b と当該第 1 の主表面と対向する第 2 の主表面 1 4 c とを具える複数の半導体チップ 1 4 の各々を、ウェハ状の搭載基板 1 2 のうちの第 2 の主表面よりも大面積であるチップ搭載面 1 2 a に、所定間隔で搭載するに当たり、チップ搭載面に形成された第 1 及び第 2 の溝 ( 1 8 a 、 1 8 b ) を目標線としてこれら溝に沿うように搭載する。その後、半導体チップの電極パッドと電氣的に接続される半田ボール 2 5 を、半導体チップを覆う封止層 3 2 の表面領域のうち半導体チップの上方に位置する第 1 の領域 1 0 0 上から該第 1 の領域を囲む第 2 の領域 2 0 0 上にわたって延在する配線パターン 3 4 上に配置する。その後、封止層及び搭載基板を切断して個片化することにより、ファンアウト構造の半導体装置とする。

**【選択図】** 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 9 9 3 7 3
受付番号	5 0 3 0 1 9 6 7 0 4 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 2 月 1 日

< 認定情報・付加情報 >

【提出日】 平成15年11月28日



特願 2 0 0 3 - 3 9 9 3 7 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社